

Attorney Docket: 381AS/50958
PATENT

jc997 U.S. PTO
10/083157
02/27/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: KAZUHIKO HANAWA
Serial No.: NOT YET ASSIGNED
Filed: FEBRUARY 27, 2002
Title: SIGNAL PROCESSING APPARATUS HAVING A PLLURALITY
OF MICROCOMPUTERS AND A SHARED ROM

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

Box PATENT APPLICATION
Commissioner for Patents
Washington, D.C. 20231

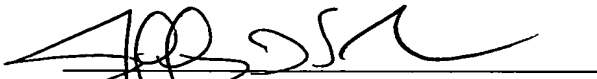
Sir:

The benefit of the filing date of prior foreign application No. 2001-220941, filed in Japan on July 23, 2001, is hereby requested and the right of priority under 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of the original foreign application.

Respectfully submitted,

February 27, 2002



Jeffrey D. Sanok
Registration No. 32,169

CROWELL & MORING, LLP
P.O. Box 14300
Washington, DC 20044-4300
Telephone No.: (202) 624-2500
Facsimile No.: (202) 628-8844

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc997 U.S. PRO
10/083157



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application: 2001年 7月23日

出 願 番 号
Application Number: 特願2001-220941

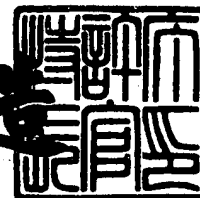
出 願 人
Applicant(s): 株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年12月 7日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3107435

【書類名】 特許願

【整理番号】 JP3742

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 茨城県ひたちなか市大字高場 2 5 2 0 番地
 株式会社 日立製作所 自動車機器グループ内

 【氏名】 塙 和彦

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100077816

 【弁理士】

 【氏名又は名称】 春日 譲

【手数料の表示】

 【予納台帳番号】 009209

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理装置

【特許請求の範囲】

【請求項 1】

独立して動作する第 1 演算手段及び第 2 演算手段と、これらの第 1 演算手段と第 2 演算手段を接続するインターフェース手段を有する信号処理装置において、電源起動時に、上記第 1 演算手段が、上記第 2 演算手段に対して、上記インターフェース経由でデータ転送した後、通常動作時の信号処理を実行することを特徴とした信号処理装置。

【請求項 2】

請求項 1 記載の信号処理装置において、
上記第 1 の演算手段は、上記第 2 の演算手段が必要とするデータを転送することを特徴とする信号処理装置。

【請求項 3】

請求項 1 記載の信号処理装置において、
データ書換可能な不揮発性メモリ手段を備え、
この不揮発性メモリ手段は、上記第 1 演算装置に対応したプログラムメモリマップを有し、この第 1 演算装置に対応したプログラムメモリマップのパラメータテーブル領域に、上記第 2 演算手段の実行開始番地、プログラムデータサイズ及びプログラムデータを配置することを特徴とする信号処理装置。

【請求項 4】

請求項 1 記載の信号処理装置において、
上記インターフェース手段は、シリアルインターフェースと汎用信号手段であることを特徴とする信号処理装置。

【請求項 5】

請求項 1 記載の信号処理装置において、
電源起動時に、上記第 1 演算手段は、上記第 2 演算手段に対して、シリアルインターフェース手段を経由して任意単位量のデータ転送を完了した後、任意時間後に第 2 演算手段は汎用信号手段の極性を反転し、任意単位量のデータ転送が開

始された時、再び、汎用信号手段の極性を反転し、上記のデータ転送と汎用信号手段の極性反転の繰り返しより起動時のデータ転送を行い、その後、通常動作時の信号処理を実行することを特徴とする信号処理装置。

【請求項 6】

請求項 1 記載の信号処理装置において、

上記第 2 演算手段に内蔵された読込専用メモリ手段と、

上記第 2 演算手段に内蔵若しくはアドレスバス及びデータバスを経由して接続された揮発性メモリ手段を備えたことを特徴とする信号処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、信号処理装置に係り、特に、信号処理を実行する複数マイコンと、そのプログラムデータを格納する書換え可能なメモリを内蔵する装置に用いるに好適な信号処理装置に関する。

【 0 0 0 2 】

【従来の技術】

従来の信号処理装置においては、信号処理速度の向上を図るため、複数のマイコンを採用するものが知られている。複数マイコンの役割分担としては、全てのマイコンに同様な信号処理を並列動作させるものや、1つのマイコンは信号処理装置の外部インターフェースや自己診断機能を実行させ、他のマイコンは本来機能の信号処理だけに特化した処理を実行させるような、それぞれ異なる役割分担を与えるものもある。

【 0 0 0 3 】

また、信号処理装置において、特に高速な信号処理が必要な場合、DSP (Digital Signal Processor) を使用することがある。DSPは、電源起動時に、ROMに格納しているプログラムデータを読み出し、高速なアクセスが可能なSRAMにプログラムデータを展開して、通常動作を実行する形式をとる場合がある。

【0004】

ROMには数種類のタイプがあり、その一つとしてマスクROMがあるが、これはマイコン内部に予め内蔵され、一度埋め込まれると書換え不可能であるが、低コストであり、信号処理装置が完成した後、書き換える必要のないプログラムデータを埋め込むには有利である。別のタイプとしては、FlashROMのように書換え可能なROMもある。後者の場合、高価であるが、信号処理装置が完成した後でも、ソフトウェアのバージョンアップが容易である。したがって信号処理装置の完成した後に、ソフトウェアのバージョンアップが必要な場合、書き換え可能なFlashROMを使用する。2つ以上の複数マイコンをもち、プログラムデータ書換えが必要な場合、それぞれに必要なプログラムデータを格納するために、高価な複数のFlashROMを設けるため、コストアップすることになる。

【0005】

そこで、例えば、特開平8-55097号公報に記載されているように、1つのROMで2つマイコンのプログラムデータを共有するものが知られている。

【0006】

【発明が解決しようとする課題】

しかしながら、特開平8-55097号公報に記載されているものでは、1つのROMを共有するために、フリップフロップ、セレクタ、出力切換回路のような部品を必要とするため、部品点数が増加するという問題があった。

【0007】

本発明の目的は、複数マイコンと共有ROMを使用する信号処理装置において、部品点数を増大させることのない信号処理装置を提供することにある。

【0008】

【課題を解決するための手段】

(1) 上記目的を達成するために、本発明は、独立して動作する第1演算手段及び第2演算手段と、これらの第1演算手段と第2演算手段を接続するインターフェース手段を有する信号処理装置において、電源起動時に、上記第1演算手段が、上記第2演算手段に対して、上記インターフェース経由でデータ転送した後

、通常動作時の信号処理を実行するようにしたものである。

かかる構成により、複数マイコンと共有ROMを使用する信号処理装置において、部品点数を低減することができる。

【0009】

(2) 上記(1)において、好ましくは、上記第1の演算手段は、上記第2の演算手段が必要とするデータを転送するようにしたものである。

【0010】

(3) 上記(1)において、好ましくは、データ書換可能な不揮発性メモリ手段を備え、この不揮発性メモリ手段は、上記第1演算装置に対応したプログラムメモリマップを有し、この第1演算装置に対応したプログラムメモリマップのパラメータテーブル領域に、上記第2演算手段の実行開始番地、プログラムデータサイズ及びプログラムデータを配置するようにしたものである。

【0011】

(4) 上記(1)において、好ましくは、上記インターフェース手段は、シリアルインターフェースと汎用信号手段としたものである。

【0012】

(5) 上記(1)において、好ましくは、電源起動時に、上記第1演算手段は、上記第2演算手段に対して、シリアルインターフェース手段を経由して任意単位量のデータ転送を完了した後、任意時間後に第2演算手段は汎用信号手段の極性を反転し、任意単位量のデータ転送が開始された時、再び、汎用信号手段の極性を反転し、上記のデータ転送と汎用信号手段の極性反転の繰り返しより起動時のデータ転送を行い、その後、通常動作時の信号処理を実行するようにしたものである。

【0013】

(6) 上記(1)において、好ましくは、上記第2演算手段に内蔵された読込専用メモリ手段と、上記第2演算手段に内蔵若しくはアドレスバス及びデータバスを経由して接続された揮発性メモリ手段を備えるようにしたものである。

【0014】

【発明の実施の形態】

以下、図1～図5を用いて、本発明の第1の実施形態による信号処理装置の構成及び動作について説明する。

最初に、図1を用いて、本実施形態による信号処理装置の全体構成について説明する。

図1は、本発明の第1の実施形態による信号処理装置の全体構成を示すシステムブロック図である。

【0015】

信号処理装置1は、2個のマイコンA10、マイコンB11と、SRAM12と、A/Dコンバータ16とを内蔵している。

【0016】

マイコンA10は、マイコンAプログラムデータ50と、マイコンBメインプログラムデータ51とを格納するFlashROM13を備えている。すなわち、本実施形態では、FlashROMは、1個だけ用いており、FlashROM13の中に、マイコンA11とマイコンB11のための、マイコンAプログラムデータ50と、マイコンBメインプログラムデータ51とを格納している。

【0017】

マイコンB11は、電源起動時に起動するマイコンBブートプログラムデータ52を格納するマスクROM14を備えている。マイコンA10とマイコンB11は、シリアルインターフェース60と、汎用信号線（以下、「GPIO信号線」と称する）70と、GPIO信号線71で接続されている。

【0018】

SRAM12には、通常動作時に、マイコンBメインプログラムデータ51が格納される。マイコンB11とSRAM12は、パラレルバス62で接続されている。

【0019】

センサ15からのアナログ信号72は、A/Dコンバータ16によってアナログ→デジタル変換され、マイコンB11に取り込まれる。マイコンA10は、外部ユニット2と通信を行うシリアルインターフェース61を備えている。

【0020】

電源起動時には、マイコンA10は、FlashROM13に格納されているマイコンAプログラムデータ50の制御内容に従い、処理を実行する。また、電源起動時には、マイコンB11は、マスクROM14にあるマイコンBブートプログラムデータ52の制御内容に従い、処理を実行する。

【0021】

マイコンA10は、シリアルインターフェース60を経由して、マイコンBメインプログラムデータ51を、マイコンB11にデータ転送する。マイコンBメインプログラムデータ51は、任意サイズのデータブロックに分割して転送される。マイコンB11は、1つのデータブロックを受信完了する度に、GPIO信号線70を経由して認識信号をマイコンA10に対して送信する。データ転送途中でエラーが発生した場合は、マイコンA10は、マイコンB11に、GPIO信号線71を経由してReset信号を送信する。マイコンB11は、受信したマイコンBメインプログラムデータ51をパラレルバス62経由でSRAM12に展開し、マイコンBメインプログラム51を起動して通常動作状態に移移する。

【0022】

通常動作状態において、センサ15からのアナログ信号72は、A/Dコンバータ16によりアナログ-デジタル変換され、シリアルインターフェース63を経由してマイコンB11に送られる。マイコンB11は、SRAM12にあるマイコンBメインプログラムデータ51の制御内容に基づき、センサ信号の信号処理を実行する。マイコンB11は、信号処理結果をシリアルインターフェース60経由で、マイコンA10に送る。マイコンA10は、外部ユニット2と、シリアルインターフェース61を経由して、必要なデータのやり取りをする。

【0023】

次に、図2及び図3を用いて、本実施形態による信号処理装置における電源起動時処理の内容について説明する。

図2は、本発明の第1の実施形態による信号処理装置における電源起動時処理の内容を示すフローチャートであり、図3は、本発明の第1の実施形態による信号処理装置における電源起動時処理時のデータ転送の状態を示すタイミングチャ

ートである。なお、図2において、図中の左側の処理は、マイコンA10の処理内容を示しており、右側の処理は、マイコンB11の処理内容を示している。

【0024】

信号処理装置1の電源投入後、図2のステップs100において、マイコンA10は、自分自身の初期化処理を実行し、ステップs105において、マイコンB11からの認識信号を待つ。

【0025】

一方、ステップs200において、マイコンB11は、初期化処理を実行し、ステップs205において、データ受信準備OKを意味する認識信号を出力する。図3(B)において、時刻t1に示すように、GPIO信号線70を介して、マイコンB11は、認識信号P1を出力する。そして、ステップs210において、マイコンB11は、マイコンBメインプログラム受信待ち状態となる。

【0026】

一方、ステップs110において、マイコンA10は、所定時間内に、マイコンB11からの認識信号を受信したか否かを判断する。認識信号が無いときは、ステップs115において、マイコンA10は、マイコンB11の動作異常と判断し、マイコンBをリセットする。

【0027】

認識信号が有ったときは、ステップs120において、マイコンA10は、送信データブロック準備処理を実行する。送信データブロック準備処理としては、例えば、エラーカウントをクリアし、送信データブロック初期値をセットをする。そして、ステップs125において、マイコンA10は、マイコンB11に、マイコンBメインプログラムデータブロックを送信する。図3(A)に示すように、マイコンA10は、シリアルインターフェース60を介して、データブロックNo.1DB1を送信する。データブロック送信後、ステップs130において、マイコンA10は、マイコンB11からの認識信号待ち状態となっている。

【0028】

一方、ステップs210において、データ受信待ちになっているマイコンB11は、ステップs215において、プログラムデータブロックを正常に受信した

か否かを判定する。正常に受信した場合には、ステップs 220において、マイコンB 11は、認識信号を送信する。すなわち、図3（B）に示すように、時刻t 2において、認識信号P 2を出力する。正常に受信できなかった場合は、マイコンB 11は、認識信号を出力せず、ステップs 225を経て、ステップs 210の受信待ち処理に戻る。

【0029】

ステップs 135において、マイコンA 10は、所定時間内に、マイコンB 11からの認識信号を受信したか否かを判断する。図3（B）に示す認識信号P 2を受信した場合には、ステップs 140において、マイコンA 10は、送信データブロック準備処理を実行する。準備処理の内容としては、例えば、エラーカウントクリアし、次のプログラムデータブロックを準備する。

【0030】

一方、ステップs 135の判定で、認識信号が無いとされると、ステップs 150において、マイコンA 10は、エラーカウントを1つ増加し、ステップs 125の処理により、同じプログラムデータブロックを再送する。例えば、図3（B）に示すように、認識信号P k+1に対応して、図3（A）に示すように、マイコンA 10がデータブロックNo.k+1を送信後、マイコンB 11から認識信号が送られてこない場合には、再度、マイコンA 10はデータブロックNo.k+1'を送信する。

【0031】

一方、ステップs 155において、マイコンA 10は、エラーカウントの値をチェックして、任意回数を超えたか否かを判定する。エラーカウントが任意回数を超えた場合、マイコンA 10は、ステップs 115において、マイコンB 11をリセットし、ステップs 100に戻る。

【0032】

ステップs 145において、マイコンA 10は、全てのデータブロックの送信が完了したか否かを判定し、送信が完了すると、データ転送処理を終えて、通常動作状態に移行する。データ転送が完了しない場合は、マイコンA 10は、ステップs 125に戻り、プログラムデータブロック転送を繰り返す。

【0033】

また、マイコンBは、ステップs 225において、全てのデータブロックの受信が完了したか否かを判定し、受信が完了すると、通常動作状態に移行する。

【0034】

プログラムデータは比較的大きいサイズのデータであるため、1回の転送で送信すると、転送途中でノイズ等の外乱によりデータが破壊される可能性がある。そこで、本実施形態においては、図3(A)に示すように、任意サイズのデータブロック単位DBに分割して転送する。1つのデータブロック単位でチェックサム等の整合性チェックをする必要があるため、データブロック転送が成功した場合は、受信側であるマイコンBは、図3(B)に示す認識信号P1, ..., Pk+1を返信するようにしている。

【0035】

ここで、認識信号の他の例としては、シリアルインターフェース60を経由し、データブロックとして送り返すことが可能であるが、認識信号として最低1 Byteデータ長のデータブロックが必要であり、その分の転送時間を要する問題がある。そこで、本実施形態では、シリアル通信のデータブロックの認識信号に代わって、1本のGPIO信号線の極性判定(図3(B)に示すように、受信データが正常の場合には、ハイレベルであり、受信データ異常の場合には、ローレベルをホールドするようにしている)で、受信正常または異常を表すようにしている。

【0036】

認識信号P1, ..., Pk+1は、立ち上がりエッジが発生したとき、データ受信準備完了、もしくはデータ受信正常を示している。ハイレベルになった認識信号Pは、次のデータブロックDBの受信を開始したときにローレベルになる。この実施形態では、「初期状態の認識信号はローレベル、受信準備完了もしくはデータ受信正常時は立ち上がりエッジ」であるが、この逆の「初期状態の認識信号はHi、受信準備完了もしくはデータ受信正常時は立ち下がりエッジ」というような逆極性の認識信号でも実現可能である。データブロックNo. k+1の転送において、マイコンB11がデータブロックNo. k+1を正常に受信しない場合、

認識信号をローレベルで保持することにより、マイコンA10は、認識信号が任意時間内にハイレベルにならない場合、データブロック受信異常の判定し、データブロックNo. $k+1$ を再送する。

【0037】

次に、図4を用いて、本実施形態による信号処理装置におけるメモリマップについて説明する。

図4 (A) は、本発明の第1の実施形態による信号処理装置におけるFlashROMのメモリマップを示し、図4 (B) は、SRAMのメモリマップを示している。

【0038】

図1において説明したように、本実施形態においては、FlashROMは、1個だけ用いており、FlashROM13の中に、マイコンA11とマイコンB11のための、マイコンAプログラムデータ50と、マイコンBメインプログラムデータ51とを格納している。そこで、本実施形態においては、さらに、2つのプログラムデータ50, 51を1つのプログラムデータに統合して管理するようにしている。

【0039】

図4 (A) に示すように、マイコンA10内のFlashROM13のメモリマップ400は、マイコンAプログラムデータ領域402と、マイコンAプログラムテーブルパラメータ領域403とから構成される。

【0040】

マイコンAプログラムデータ404は、FlashROMメモリマップ400の0番地にマッピングされている。また、マイコンBプログラムデータは、マイコンAのプログラムのパラメータテーブル領域403であるX番からマッピングされる。マイコンBプログラムデータ407の先頭には、電源起動時にSRAMに展開されるときの実行開始番地405と、データサイズ406の情報を最初に付加する。次に、マイコンBプログラムデータ407をSRAMに展開されたときにのメモリ順に配置している。

【0041】

また、図4（B）に示すように、マイコンB11に接続されるSRAM12のメモリマップ401は、その先頭が、図4（A）に示した実行開始番地407となっている。マイコンB11に、実行開始番地405と、データサイズ406と、マイコンBプログラムデータ407が転送されると、マイコンB11は、実行開始番地405に基づいて、SRAM12に展開する。

【0042】

以上のように、マイコンBメインプログラムデータが構成されているので、図3（A）に示した、最初のデータブロックNo. 1は、マイコンB11メインプログラムの開始アドレスとサイズの情報を含んでいる。データブロックNo. 2以降では、プログラムデータが転送される。

【0043】

次に、図5を用いて、本実施形態による信号処理装置におけるFlashROMメモリマップ400を生成する手順について説明する。

図5は、本発明の第1の実施形態による信号処理装置におけるFlashROMメモリマップ400を生成する手順を示すフローチャートである。

【0044】

マイコンAコンパイラCAは、マイコンAソースコードSAをコンパイル処理して、マイコンAプログラムデータファイルPAに変換する。また、マイコンBコンパイラCBは、マイコンBソースコードSBをコンパイル処理して、マイコンBプログラムデータファイルPBに変換する。マイコンAプログラムデータファイルPAは、マイコンA10内のFlashROM13に配置できるデータ形式であり、マイコンBプログラムデータファイルPBは、マイコンBに接続するSRAM12に配置できるデータ形式である。

【0045】

データ変換ソフトCsは、マイコンAプログラムデータファイルPA及びマイコンBプログラムデータファイルPBを読み取り、FlashROM13に配置する形式の統合データファイルDを生成する。マイコンAプログラムデータファイルPAは0番地からメモリ番地順に配置し、マイコンBプログラムデータファイルPBの実行開始番地とデータサイズを計算し、X番地に実行開始番地、次の

アドレスにデータサイズ、その次のアドレスにマイコンBプログラムデータを配置する。なお、実行開始番地、データサイズ及びマイコンBプログラムデータのFlashROM上のアドレスは、以下の式(1)～式(3)により求めることができる。

$$(\text{実行開始番地のFlashROM上のアドレス}) = X \text{番地} \quad \cdots (1)$$

$$(\text{データサイズのFlashROM上のアドレス})$$

$$= X \text{番地} + (\text{実行開始番地領域のサイズ}) \quad \cdots (2)$$

$$(\text{マイコンBプログラムデータのFlashROM上のアドレス})$$

$$= X \text{番地} + (\text{実行開始番地領域のサイズ})$$

$$+ (\text{データサイズ領域のサイズ})$$

$$+ (\text{SRAM上のマイコンBプログラムデータアドレス}) \quad \cdots (3)$$

以上説明したデータ変換を実行することで、マイコンAプログラムデータファイルPAとマイコンBプログラムデータPBを統合した1つの統合ファイルDを生成することができる。この統合データファイルD単位で信号処理装置のプログラムバージョン管理が可能となる。また信号処理装置の製造過程においても、1回の工程でプログラムデータを埋め込むことが可能となる。

【0046】

なお、以上の説明では、FlashROM13は、マイコンA10に内蔵するものとして説明したが、マイコンA10に対して、アドレスバス及びデータバスを介して接続するようにしてもよいものである。

【0047】

以上説明したように、複数のマイコンを用い、FlashROMを一つとする場合でも、起動処理により、FlashROMに格納されたプログラムデータファイルを他のマイコンに転送するようにしたので、部品点数を少なくすることができる。

【0048】

また、プログラムデータをシリアルインターフェースを経由して転送するので

、パラレルインターフェースを用いる場合に比べて、基板サイズを小さくすることができる。

【 0 0 4 9 】

また、複数マイコンのプログラムデータを統合して1つのデータファイルとして管理することが可能であるので、ソフトのバージョンアップも容易に行うことができる。

【 0 0 5 0 】

次に、図6を用いて、本発明の第2の実施形態による信号処理装置の構成について説明する。

図6は、本発明の第2の実施形態による信号処理装置の全体構成を示すシステムブロック図である。

【 0 0 5 1 】

本実施形態においては、信号処理装置810は、3個のマイコンA800、マイコンB801、マイコンX802とを備え、さらに、SRAM803と、SRAM804とを内蔵している。

【 0 0 5 2 】

マイコンA800は、通常動作時の処理に必要なマイコンA800、マイコンB801、マイコンX802のプログラムデータ820、821、822を、FlashROM805に格納している。電源起動時に、マイコンA800は、それぞれ、マイコンB801、マイコンX802に対して、シリアルインターフェース850、851を経由して、プログラムデータ821、822を転送する。マイコンB801、マイコンX802は、それぞれ、パラレルバス860経由で接続するSRAM803、パラレルバス861経由で接続するSRAM804に、プログラムデータ821、822を展開した後、通常動作状態に移移する。

【 0 0 5 3 】

以上の構成により、1つのFlashROMに3つマイコンのプログラムデータを格納し、電源起動時にシリアルインターフェース経由でプログラムデータを転送することで、信号処理装置内部の各マイコンを起動し、通常動作状態に移移させることができる。

【 0 0 5 4 】

またプログラムデータ管理においても、マイコン B 8 0 1 及びマイコン X 8 0 2 のプログラムデータの実行開始番地、データサイズ及びプログラムデータを、マイコン A 8 0 0 のプログラムのテーブルパラメータ領域に配置することで、1 つの統合ファイルを作成することが可能である。

【 0 0 5 5 】

以上のように、マイコンが 3 つ以上でもシリアルインターフェースが割り当て ることで、同様な構成を取ることが可能である。

【 0 0 5 6 】

【発明の効果】

本発明によれば、複数マイコンと共有 R O M を使用する信号処理装置において、部品点数を低減することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態による信号処理装置の全体構成を示すシステムブロッ ク図である。

【図 2】

本発明の第 1 の実施形態による信号処理装置における電源起動時処理の内容を 示すフローチャートである。

【図 3】

本発明の第 1 の実施形態による信号処理装置における電源起動時処理時のデー タ転送の状態を示すタイミングチャートである。

【図 4】

本発明の第 1 の実施形態による信号処理装置におけるメモリマップを示してい る。

【図 5】

本発明の第 1 の実施形態による信号処理装置における F l a s h R O M メモリ マップを生成する手順を示すフローチャートである。

【図 6】

本発明の第 2 の実施形態による信号処理装置の全体構成を示すシステムブロック図である。

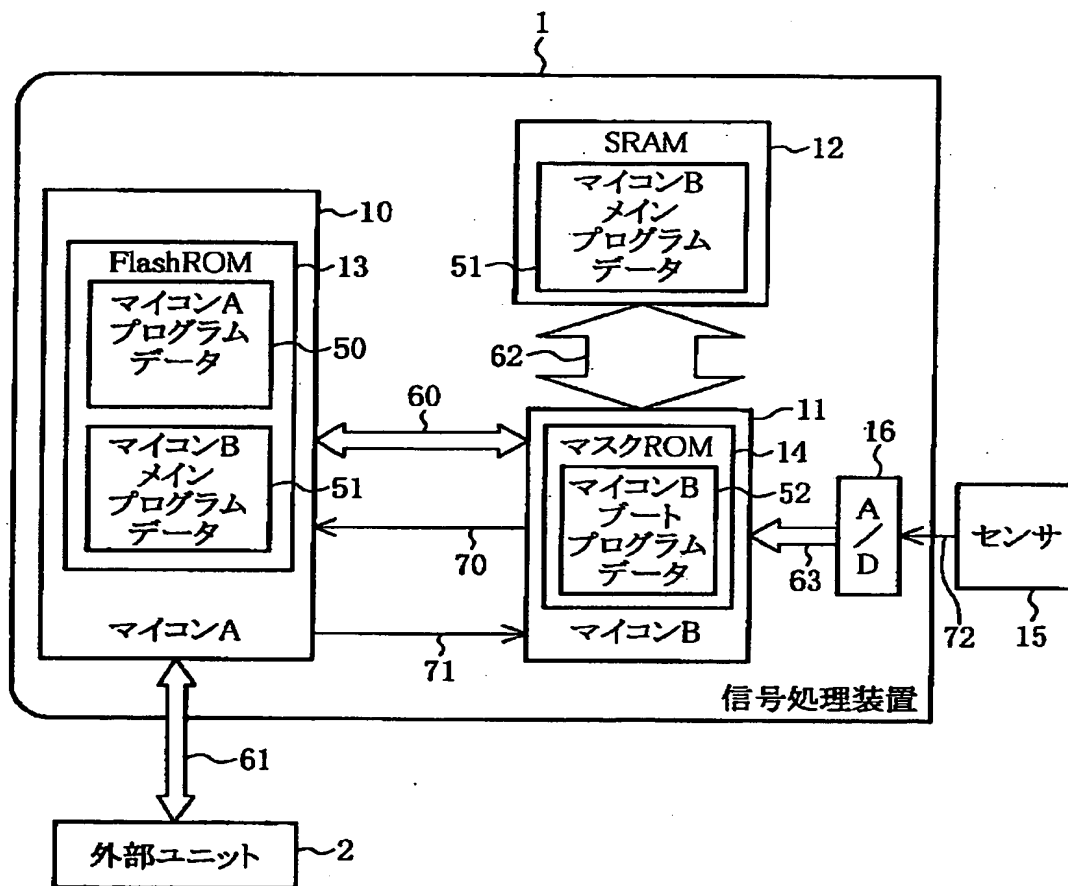
【符号の説明】

- 1 … 信号処理装置
- 2 … 外部ユニット
- 10, 800 … マイコン A
- 11, 801 … マイコン B
- 12, 803, 804 … SRAM
- 13, 805 … FlashROM
- 14, 806, 807 … マスクROM
- 15 … センサ
- 16 … A/Dコンバータ
- 50, 820 … マイコンAプログラムデータ
- 51, 821 … マイコンBメインプログラムデータ
- 52, 823, 824 … ブートプログラムデータ
- 60, 61, 63, 850, 851 … シリアルインターフェース
- 62, 860, 861 … パラレルバス
- 70, 71, 852, 853, 854, 855 … GPIO信号
- 802 … マイコンX
- 822 … マイコンXプログラムデータ

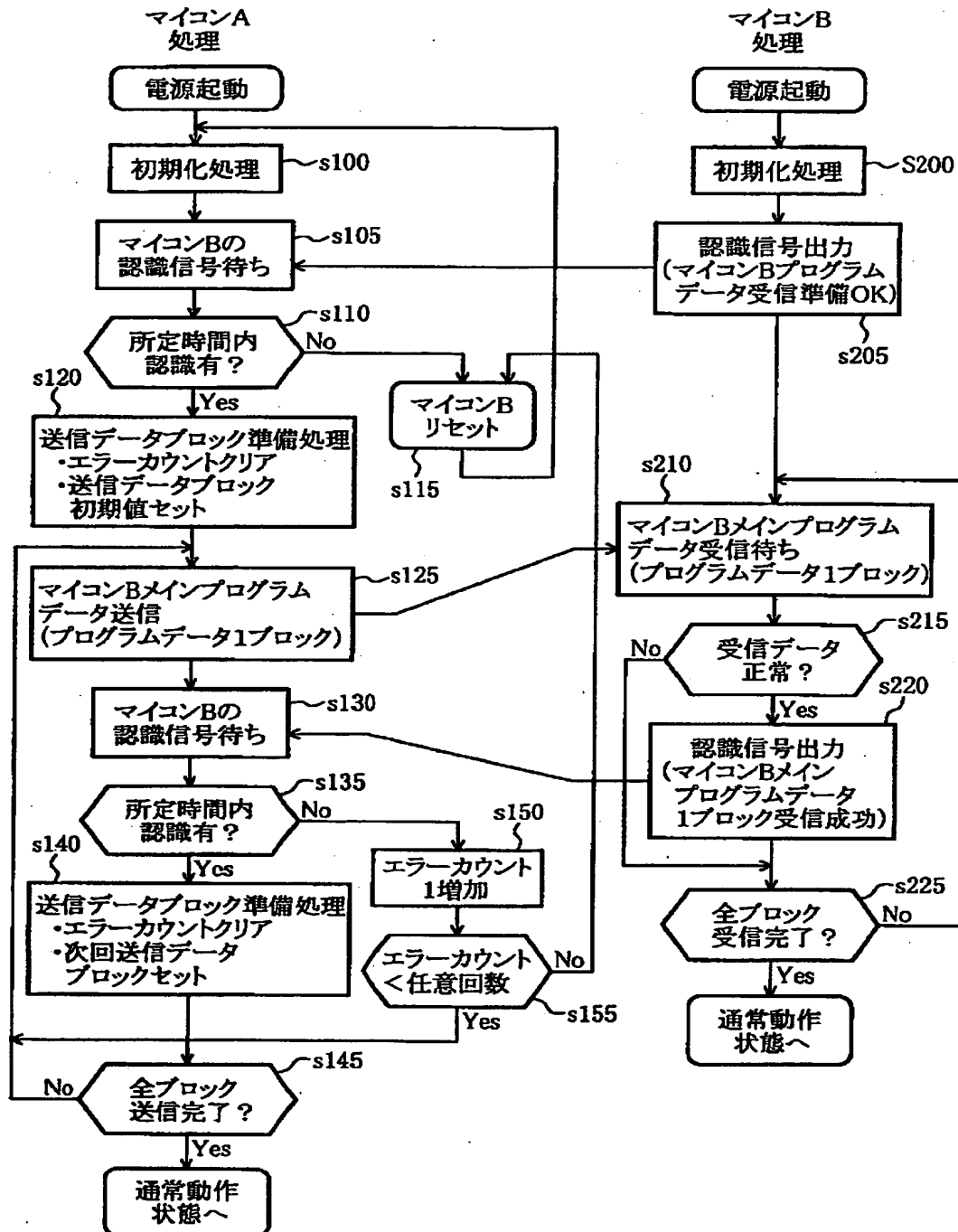
【書類名】

図面

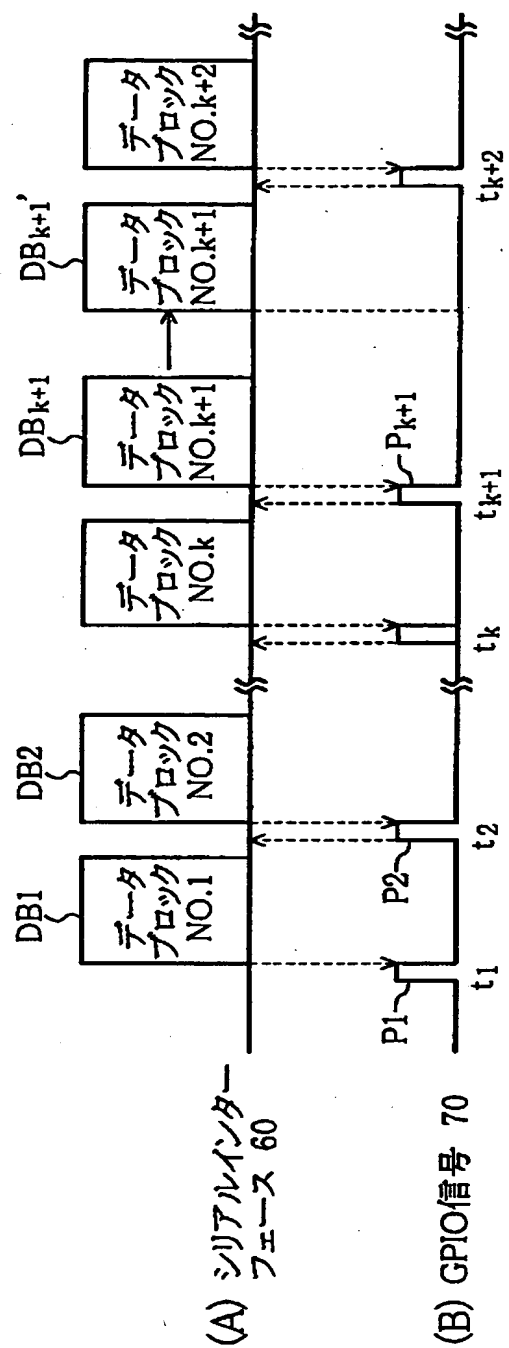
【図 1】



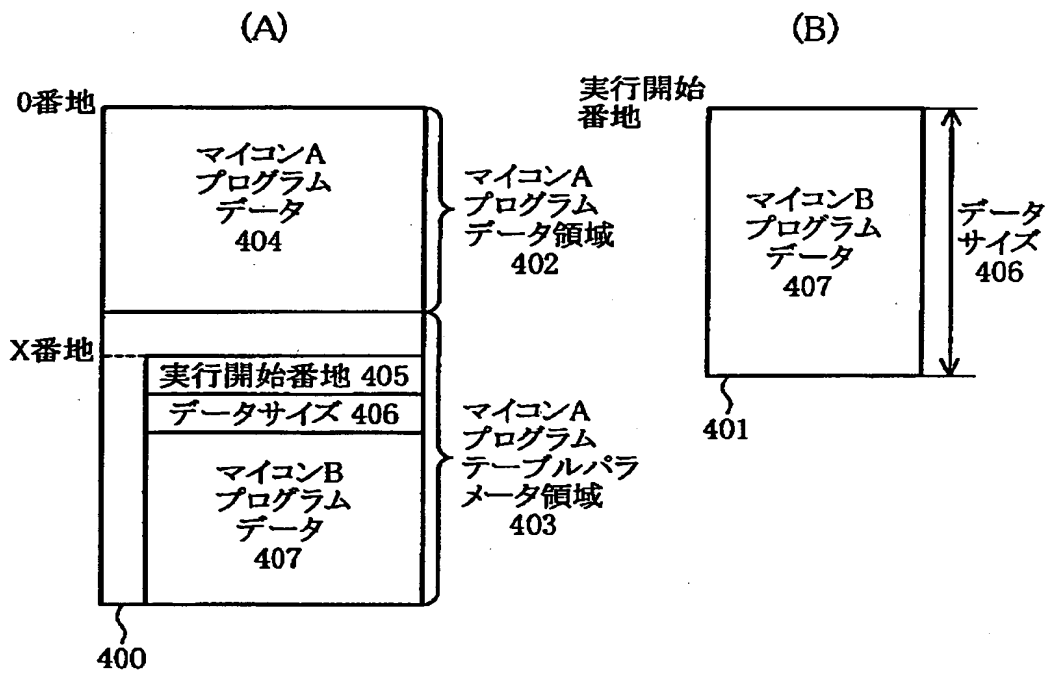
【図2】



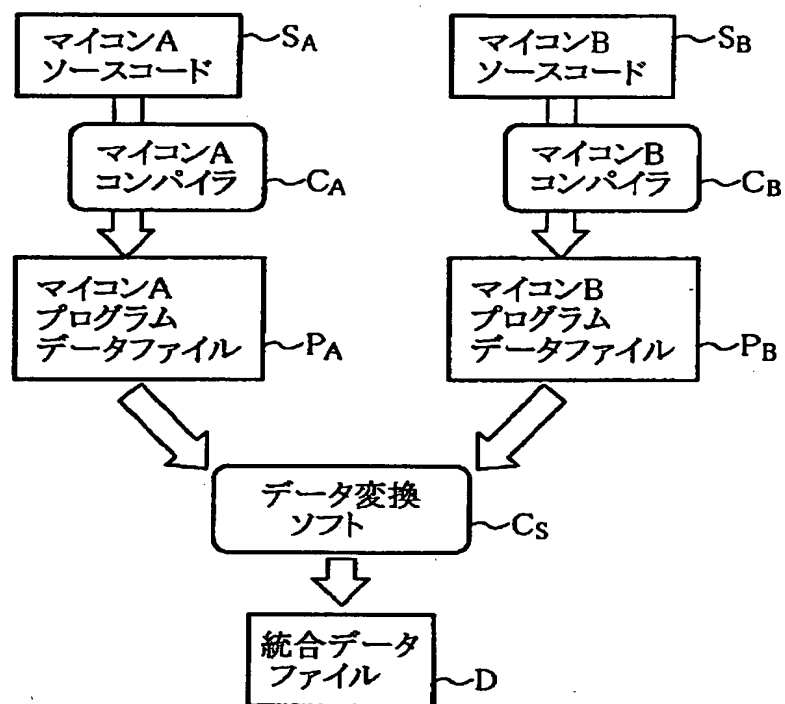
【図 3】



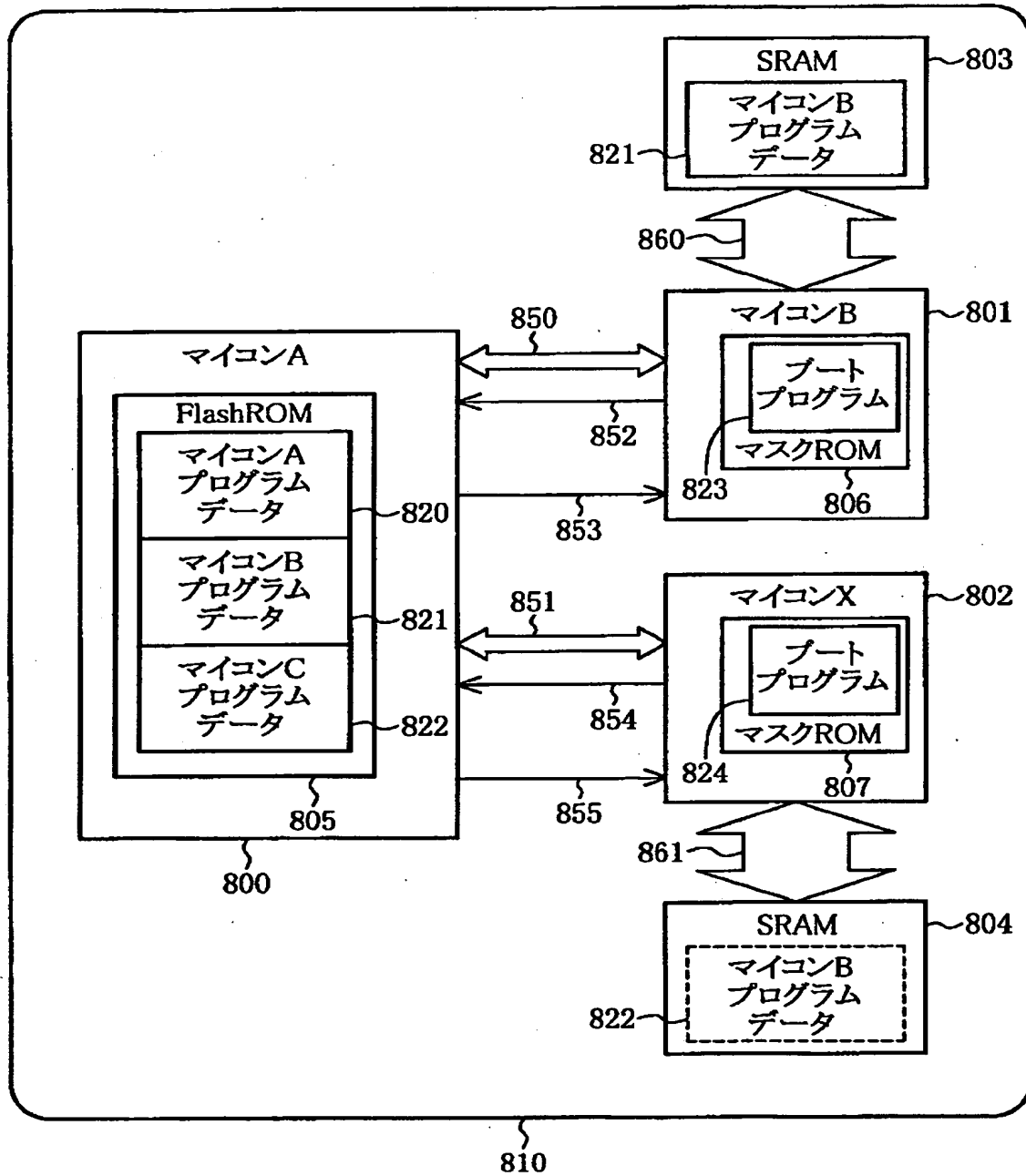
【図 4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】

複数マイコンと共有ROMを使用する信号処理装置において、部品点数を増大させることのない信号処理装置を提供することにある。

【解決手段】

マイコンA10と、マイコンB11とは、シリアルインターフェース60と汎用信号手段70で接続される。マイコンA10のFlashROM13には、マイコンA10に対応したプログラムメモリマップを有し、マイコンA10に対応したプログラムメモリマップのパラメータテーブル領域に、マイコンB11の実行開始番地、プログラムデータサイズ及びプログラムデータを配置している。電源起動時には、マイコンA10が、マイコンB11に対して、シリアルインターフェース60経由でデータ転送した後、通常動作時の信号処理を実行する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-220941
受付番号	50101070640
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年 7月25日

<認定情報・付加情報>

【提出日】	平成13年 7月23日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所